

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-077429

(43)Date of publication of application : 18.03.1994

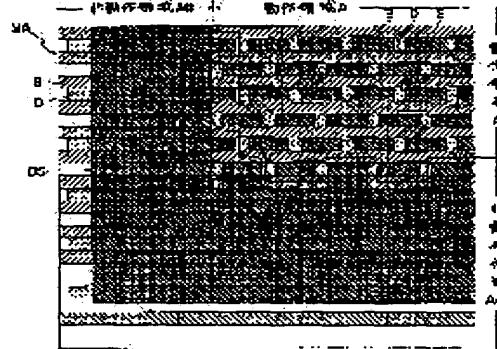
(51)Int.CI. H01L 27/108
H01L 27/04(21)Application number : 04-229807 (71)Applicant : SHARP CORP
(22)Date of filing : 28.08.1992 (72)Inventor : KUBOTA YASUSHI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To provide a semiconductor memory in which dust is prevented from appearing by interconnecting capacitor electrodes in inactive regions so that the pattern of the capacitor electrodes may not peel in the peripheries of a memory cell array.

CONSTITUTION: All capacitor electrodes in an inactive region A# are interconnected to provide a dummy electrode DS, which forms a very large pattern. Therefore, the areas requiring fine patterning are decreased to prevent dust from appearing, resulting in high yield.



LEGAL STATUS

[Date of request for examination] 05.07.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2916329

[Date of registration] 16.04.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

99.1.5 237 (2916329)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-77429

(43)公開日 平成6年(1994)3月18日

(51)Int.Cl.⁵

H 01 L 27/108
27/04

識別記号

庁内整理番号

F I

技術表示箇所

C 8427-4M
8728-4M

H 01 L 27/10

325 C

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号

特願平4-229807

(22)出願日

平成4年(1992)8月28日

(71)出願人 000005049

シャープ株式会社 (sharp)

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

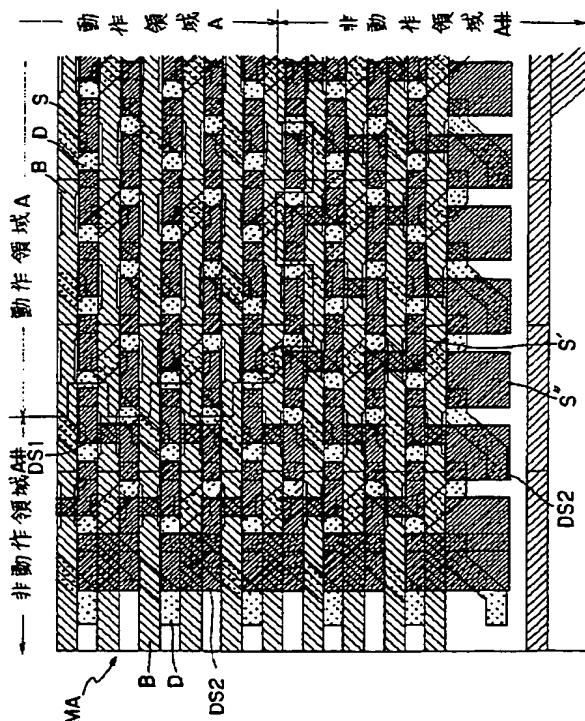
(74)代理人 弁理士 青山 俊 (外1名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 スタック型半導体記憶装置のメモリセルアレイ周辺部で、蓄積電極のパターン剥がれを低減して、ダスト発生を防止する。これにより、歩留を向上させる。対象とするスタック型半導体記憶装置は、拡散領域D上に蓄積電極Sを有するスタック型メモリセルを行列状に配してメモリセルアレイMAを構成し、メモリセルアレイMAの周辺部に非動作領域A#を設けたものである。

【構成】 非動作領域A#内の蓄積電極S', S"を互いに複数接続する。互いに接続する蓄積電極S', S"は同一のビット線Bに接続されているものとする。



【特許請求の範囲】

【請求項1】 拡散領域上に蓄積電極を有するスタック型メモリセルを行列状に配してメモリセルアレイを構成し、上記メモリセルアレイの周辺部に非動作領域を設けた半導体記憶装置において、

上記非動作領域内の蓄積電極は、互いに複数接続されていることを特徴とする半導体記憶装置。

【請求項2】 上記互いに接続された蓄積電極は、同一のビット線に接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体記憶装置に関し、より詳しくは、拡散領域上に蓄積電極を重ねてメモリセルを構成したスタック型半導体記憶装置に関する。

【0002】

【従来の技術】 近年の半導体記憶装置の高集積化、微細化に伴って、メモリセルが三次元化されつつある。中でも、拡散領域上に蓄積電極を重ねてメモリセルを構成したスタック型半導体記憶装置が注目されている。

【0003】 このスタック型半導体記憶装置は、構造上、2次元タイプの半導体記憶装置に比して、基板上の段差が大きくなっている。特に、メモリセルアレイの周辺部では、中心部に比してパターンの疎密差が大きく、また、段差も大きくなっている。このため、図3に例示するように、メモリセルアレイMAの周辺部で、フォトレジストの膜厚むら、横方向または下地からの光の回り込みや反射、エッチング時のパターン依存性などの影響によって、パターン変形が生じることが多い(パターン変形した領域をXで示している。)。この結果、蓄積電極のパターンが縮小して、十分なキャパシタ容量を確保できなくなったり、蓄積電極とコンタクト孔との重ね合わせマージンがなくなったりする。

【0004】 そこで、同図(b)に示すように、従来より、メモリセルアレイMAの周辺部に、動作時に全く駆動されない数列分(または1列分)の非動作領域A#を設けている。そして、パターン変形した領域Xをこの非動作領域A#に含めることによって、上記パターン変形がこの半導体記憶装置本来の動作に影響しないようにしている。ここで、図4に示すように、上記非動作領域A#は、メモリセルアレイMA内部(動作領域)Aと同一パターンとなっている。したがって、両領域A#, Aに存する蓄積電極S, S'も同一構造となっている。ただし、最外周の蓄積電極S"は、個々に大きい寸法に設計されている。

【0005】 なお、図4中、D(水玉模様を施した部分)は拡散領域、B(右斜め斜線を施した部分)はビット線を示している。この例では、これらの拡散領域D、ビット線Bは、蓄積電極S, S', S"の下層になっている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の半導体記憶装置では、非動作領域A#内の蓄積電極S', S"が個々にはばらばらであるため、微細パターン化を進めたとき、蓄積電極のパターンが剥がれてダストの原因となり、歩留を低下させるという問題がある。なお、拡散領域D、ビット線Bのパターンは連続しているので、蓄積電極に比してダストを発生させる程度が少ない。

【0007】 そこで、この発明の目的は、メモリセルアレイ周辺部で蓄積電極のパターン剥がれを低減して、ダスト発生を防止し、歩留を向上させることができる半導体記憶装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、この発明は、拡散領域上に蓄積電極を有するスタック型メモリセルを行列状に配してメモリセルアレイを構成し、上記メモリセルアレイの周辺部に非動作領域を設けた半導体記憶装置において、上記非動作領域内の蓄積電極は、互いに複数接続されていることを特徴としている。

【0009】 また、上記互いに接続された蓄積電極は、同一のビット線に接続されているのが望ましい。

【0010】

【作用】 非動作領域内の蓄積電極が互いに複数接続されているので、蓄積電極が従来に比して大きいパターンとなる。したがって、微細箇所が減少してダスト発生が防止される。この結果、歩留が向上する。

【0011】 また、上記互いに接続された蓄積電極が同一のビット線に接続されている場合、たとえ特定のビット線が不良であっても、他のビット線に不良を誘発することができない。

【0012】

【実施例】 以下、この発明の半導体記憶装置を実施例により詳細に説明する。

【0013】 図1はこの発明の第1実施例のスタック型半導体記憶装置のパターンレイアウトを示している。この半導体記憶装置は、図4に示した従来の半導体記憶装置と同様に、拡散領域D上に蓄積電極Sを有するスタック型メモリセルを行列状に配してメモリセルアレイMAを構成し、このメモリセルアレイMAの周辺部に非動作領域A#を設けている。メモリセルアレイMA内部の動作領域Aと周辺部の非動作領域A#とで、拡散領域D、ビット線Bのパターンは同一に設計されている。一方、非動作領域A#内の蓄積電極(従来の)はすべて接続され、これにより、1つのダミー電極D Sを構成している。このように、非動作領域A#内の蓄積電極が1つに接続されているので、上記ダミー電極D Sは非常に大きいパターンとなる。したがって、従来に比して微細箇所を減少させることができ、ダスト発生を防止することができる。この結果、歩留を向上させることができる。

【0014】しかしながら、上記ダミー電極D Sは非常に大きいパターンであるため、ダミー電極D Sとビット線Bとの間の層間絶縁膜などに欠陥が乗る確率が高くなる。複数の欠陥がある場合には、この欠陥を通して貫通電流が流れる恐れがある。この貫通電流は、待機時および動作時の消費電力を増加させるだけでなく、電源線の電圧レベルを変動させるため、動作マージンを大きく低下させる。また、上記ダミー電極D Sは複数のビット線Bにまたがっているため、特定のビット線Bの不良が上記ダミー電極D Sを介して他のビット線Bの不良を誘発することがある。したがって、上記貫通電流やビット線不良誘発を生じる可能性を抑えるのが望ましい。

【0015】図2は、このような要請を配慮した第2実施例のスタック型半導体記憶装置のパターンレイアウトを示している。この半導体記憶装置は、第1実施例と同様に、拡散領域D上に蓄積電極Sを有するスタック型メモリセルを行列状に配してメモリセルアレイMAを構成し、このメモリセルアレイMAの周辺部に非動作領域A#を設けている。メモリセルアレイMA内部の動作領域Aと周辺部の非動作領域A#とで、拡散領域D、ビット線Bのパターンは同一に設計されている。一方、非動作領域A#内の蓄積電極(従来の)S'、S"は、同一のビット線Bに接続されたもの同士が2つずつ接続されている。これにより、ダミー電極D S 1、ダミー電極D S 2を構成している。ここで、ダミー電極D S 1は、メモリセルアレイMAの最外周を除く蓄積電極S'同士を接続したものを示している。一方、ダミー電極D S 2は、メモリセルアレイMAの最外周の蓄積電極S"と1つ内側の列の蓄積電極S'を接続したものを示している。このように、この半導体記憶装置では、非動作領域A#内の蓄積電極S'、S"がすべて2つずつ接続されているので、上記ダミー電極D S 1、D S 2は従来に比して大きいパターンとなる。したがって、従来に比して微細箇所を減少させることができ、ダスト発生を防止することができる。しかも、上記ダミー電極D S 1、D S 2は従

来の蓄積電極の約2個分の大きさであるから、層間絶縁膜を通して貫通電流が流れる恐れを殆どなくすことができる。また、上記ダミー電極D S 1、D S 2は、同一のビット線Bに接続されたもの同士が接続されているので、特定のビット線Bの不良が他のビット線Bの不良を誘発することもない。したがって、従来に比して、歩留を大幅に向上させることができる。

【0016】

【発明の効果】以上より明らかなように、この発明の半導体記憶装置は、メモリセルアレイ周辺部の非動作領域A#内の蓄積電極を互いに複数接続しているので、従来に比して微細箇所を減少させることができ、ダスト発生を防止することができる。この結果、歩留を向上させることができる。

【0017】また、上記互いに接続された蓄積電極が同一のビット線に接続されている場合、特定のビット線の不良が他のビット線に不良を誘発するのを防ぐことができる。

【図面の簡単な説明】

【図1】この発明の第1実施例のスタック型半導体記憶装置のパターンレイアウトを示す図である。

【図2】この発明の第2実施例のスタック型半導体記憶装置のパターンレイアウトを示す図である。

【図3】スタック型半導体記憶装置のメモリセルアレイ周辺部を示す図である。

【図4】従来のスタック型半導体記憶装置のパターンレイアウトを示す図である。

【符号の説明】

A 動作領域

A# 非動作領域

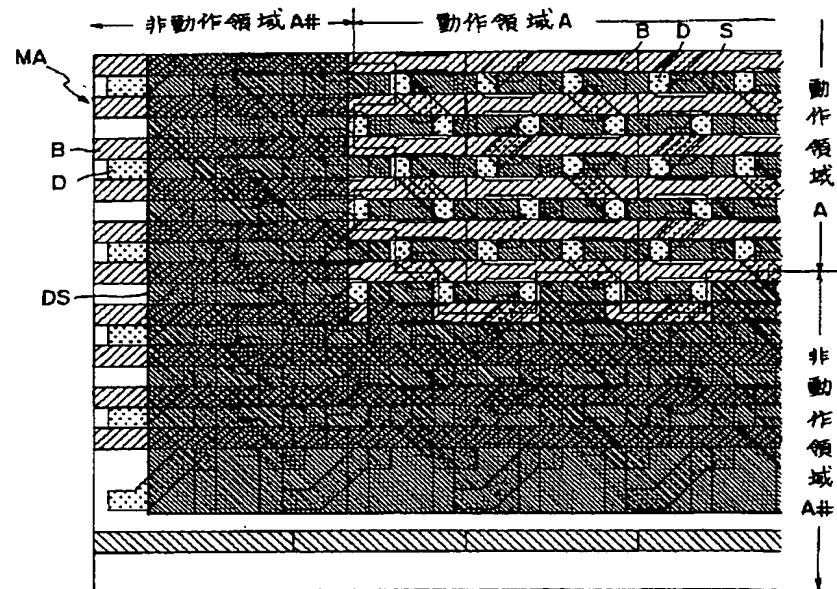
B ビット線

D 拡散領域

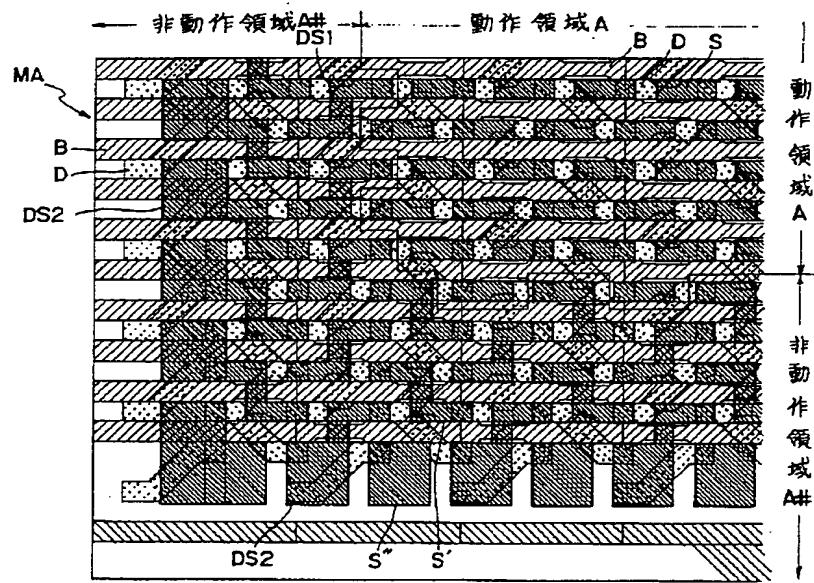
S, S', S" 蓄積電極

D S, D S 1, D S 2 ダミー電極

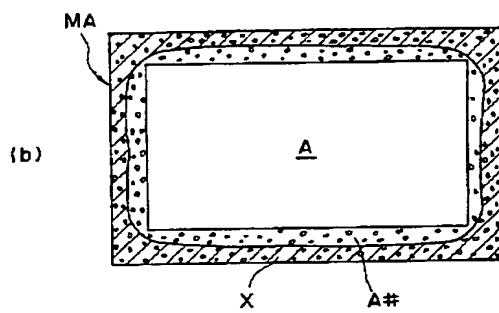
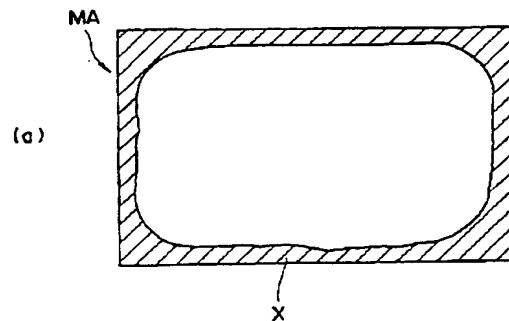
【図1】



【図2】



【図3】



【図4】

